

引用格式:许川佩,张培源,范兴茂. AXIe 高速数据采集传输接口设计[J]. 微电子学与计算机,2019,36(12):30-35. [XU C P, ZHANG P Y, FAN X M. The design of high-speed data acquisition and transmission interface of AXIe[J]. Microelectronics & Computer, 2019, 36(12): 30-35.]

AXIe 高速数据采集传输接口设计

许川佩,张培源,范兴茂

(桂林电子科技大学 广西自动检测技术与仪器重点实验室,广西 桂林 541004)

摘 要: 为了解决海量数据的高速传输问题,本文以 AXIe(Advanced TCA Extensions for Instrumentation)总线为传输架构,重点设计数据的高速缓存和传输接口,并设计时间交织数据采集模块完成 AXIe 数据采集传输接口验证. 通过两片 ADC 实现时间交织数据采样功能,将 DDR3 作为数据的深存储单元,采用 PCI Express 实现数据高速传输. 在 FPGA 上完成设计,使用 ILA 嵌入式逻辑分析仪进行功能验证. 结果表明,该设计能很好地实现交织采样功能,完成基于 AXIe 总线的数据传输.

关键词: 交织采样; DDR3; PCI Express; AXIe 接口

中图分类号: TP336

文献标识码: A

文章编号: 1000—7180(2019)12—0030—06

The design of high-speed data acquisition and transmission interface of AXIe

XU Chuan-pei, ZHANG Pei-yuan, FAN Xing-mao

(Guangxi Key Laboratory of Automatic Detection Technology and Instrument,
Gulin University of Electronic Technology, Guilin 541004, China)

Abstract: In order to solve the problem of high-speed transmission of massive data, this paper uses AXIe (advanced TCA extensions for instrumentation) bus as the transmission architecture, and focuses on the design of data cache and transmission interface, and designs time-interleaved data acquisition module to complete AXIe data acquisition and transmission interface verification. The time-interleaved data sampling function is realized by two ADCs, and DDR3 is used as a deep storage unit of data, and high-speed data transmission is realized by using PCI Express. The design was done on the FPGA and functional verification using the ILA embedded logic analyzer. The results show that the design can achieve the interleaving sampling function well and complete the data transmission based on AXIe bus.

Key words: time-interleaved; DDR3; PCI Express; AXIe interface

1 引言

随着现代信息技术的发展,对测试系统的要求越来越高,如何实现更高速的无缝数据采集与传输是测试技术的难点. 伴随着总线技术的发展,最新一代总线 AXIe 总线标准不仅具备 ATCA(Advanced Telecom Computing Architecture,先进电信计算机

构架)的先进特性,还拥有比 VXI 和 PXI 更大的功率、更快的散热和更高的数据吞吐率,并且可以兼容如 LXI 和 PXI 等已有的总线标准^[1]. AXIe 体系结构能够更好的满足高速数据采集传输系统的发展需求^[2]. 文献[3]、[4]研究了 AXIe 标准和测量应用,文献[2]设计了基于千兆网和 PCI Express 两种通讯方式的 AXIe 接口.

受半导体制造工艺和成本的影响,单片 ADC 芯片很难同时满足高性能和低成本的要求. 时间交织采样结构可以有效提高整个系统的采样率,又能降低系统成本^[5]. 文献[5]介绍了一种基于四片 ADC 并行交替采样高速数字化仪. 文献[6]设计了一套基于 4 通道时间交织高速数据采集系统,并将它应用在数字示波器上. 文献[7]介绍一种基于多片 ADC 的时间交织并行采样方法以及在 FPGA 平台上的实现. 但是上述文献并没有对 AXIe 总线在时间交织数据采集系统中的应用作详细阐述. 本文重点设计数据采集模块和 AXIe 之间的传输接口,用时间交织技术设计 A/D 模块,实现基于 AXIe 总线的高速数据采集.

2 AXIe 总线与时间交织采样

2.1 AXIe 总线

AXIe 总线标准是高级电子计算机架构在仪器和测试领域的扩展,以 ATCA 规范为基础,应用分层化结构,具有三个区域. 如图 1 所示,AXIe 体系结构采用了 ATCA 规范中的外形结构、电源及散热、整个平台的管理和数据传输方式等. AXIe-1 是 AXIe 的基本架构,在 ATCA 的基础上增加触发、同步、定时和本地总线. AXIe-2 又在此基础上做出了软件规范,也在相关配置和控制方面做出规范. 它们主要涉及区域 1 和区域 2. AXIe-3. 1 主要增加在半导体等方面的测试,AXIe-3. n 作为扩展用于对未来领域区定于标准,主要域 3 上^[1].

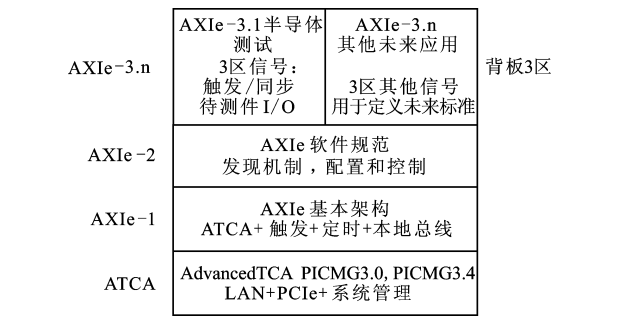


图 1 AXIe 体系结构

AXIe 基本接口采用星型拓扑结构,同时支持 10/100/1000 BASE-T 以太网和 PCIe 1. 0/2. 0/3. 0 每通道 2. 5/5. 0/8. 0Gb/s 接口协议. 每个通信接口占用两行连接器引脚,具有 8 对差分信号,最多支持四通道端口配置. AXIe 提供多种触发信号和同步信号,如点到点同步信号 SYNC、双向触发信号 STRIG、模块间触发总线 TRIG. 提供通信接口参考

时钟 FCLK 和仪器参考时钟 CLK100.

2.2 时间交织采样

时间交织采样思想最早是由 Black 和 Hodges 提出^[8],其基本思路是通过多路 ADC 对同一被测信号进行并行采样. 如图 2 所示,有 M 路 ADC,每路采样率为 f_s ,相邻两路间采样时钟相位相差 $2\pi/M$,最后把采样数据按照采样先后顺序进行拼接,得到采样率为 M 倍 f_s 的数据采集系统.

理想情况下,时间交织采样方式为均匀采样,相邻通道采样间隔相同,在实际设计中,受限于工艺影响,每片 ADC 芯片性能指标不可能完全一致. 采样时钟的抖动与偏斜会造成相邻两通道间采样间隔不均匀. 因此时间交织采样系统实际应用中是周期非均匀采样,对各通道间基准电压、增益、时钟延时要求较高.

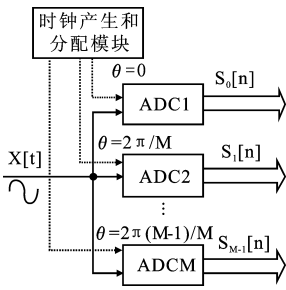


图 2 时间交织采样示意图

3 AXIe 高速数据采集传输接口设计

本文要实现一个以 AXIe 为通信架构的数据采集系统,通过 AXIe 总线的 PCIe 进行传输. 考虑到系统数据采集模块和 PCIe 总线间速率不匹配问题,采用大容量存储器做为数据缓存模块配合 PCIe 进行数据传输和接收. 本文重点设计采集数据和 AXIe 总线间的存储及传输接口,通过时间交织采样模式采集数据进行验证. 系统整体分为三部分进行实现,数据采集模块,数据缓存模块和数据传输模块. 其中数据采集模块采用时间交织采样技术实现,需要相位可控的低抖动时钟保证采样效果. DDR3 存储器具有高速、低功耗、容量大的特性,可以较好的满足存储模块的要求. FPGA 支持多电平标准,又带有丰富的 IP 核,包括 DDR3 控制器和 PCIe 控制器,满足系统的设计需求. 通过 RIFFA (PC 机和 FPGA 间通信架构)实现采集数据通过 AXIe 到 PC 端的传输. 按照系统功能划分为以下几个主要模块,模拟前端模块、时钟产生模块、数据接收模块、数据组包模块、DDR3 控制模块、RIFFA ENDPOINT 架

构、AXIe 相关接口. 整体系统构架如图 3 所示.

系统的整体工作流程为:被测信号经过模拟前端进行信号调理,通过 ADC 完成模数转换,结果经

FPGA 接收处理缓存到 DDR3 内,最后通过 RIFFA 架构以 AXIe 的 PCI Express 接口实现数据传输.

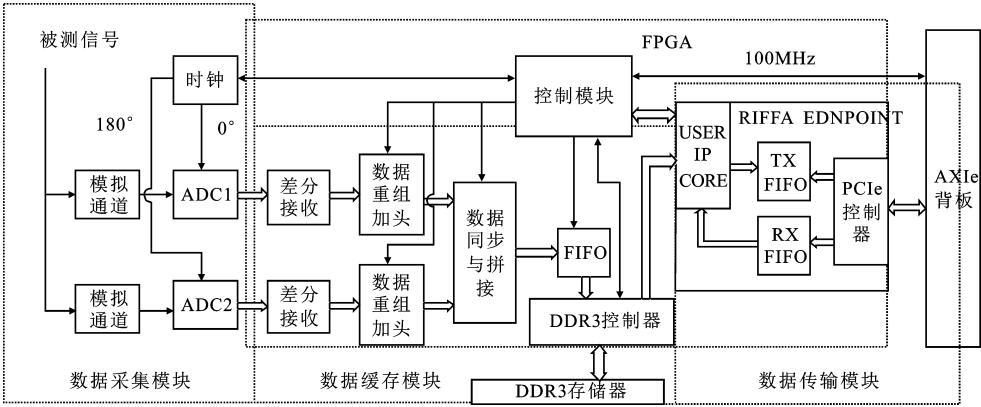


图 3 AXIe 数据采集传输系统构架

3.1 数据采集模块设计

被测信号易受杂波干扰,需进行模拟前端设计. 模拟前端设计主要包括有源衰减、抗混叠滤波、输入保护、阻抗变换几部分组成. 本文通过两片 AD9226 高速 ADC 芯片组成两路时间交织数据采样模块. AD9226 芯片具有 12bit 精度,最高 65MSPS 采样率,同时满足低成本,高信噪比(69dB @ $f_{IN} = 31$ MHz)的要求.

采样时钟的抖动将会加重相位误差,直接影响波形的重建. 本文选用 ADI 公司的 AD9516 时钟芯片,其具有低相位噪声锁相环. 同时支持 4 对最高 250 MHz CMOS 时钟输出,每对共用两个级联的分频器和相位粗调延时,可实现最高 180° 相位延时调节,芯片输出的时钟抖动为 275 fs,满足数据采样模块对时钟的要求. 系统采样时钟输出如图 4 所示.

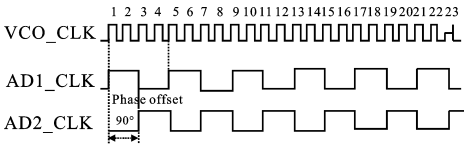


图 4 芯片输出时钟示意图

设计中使用芯片内部 VCO,通过 AXIe 背板输入 100 MHz 参考时钟,先通过内部倍频产生 2 GHz 时钟频率,再经过分频产生两路 CMOS 时钟输出信号.

3.2 数据缓存模块设计

数据缓存模块实现对两路 ADC 采集数据的接收转换,并通过 FPGA 进行组包存储.

3.2.1 数据转换与拼接

设计中 ADC 接口是 LVDS 差分信号,FPGA 内部不能采用差分信号进行传输,在信号进入 FPGA 时先经过 IBUFDS 原语实现差分转单端处理. ADC 采样时钟和 FPGA 工作时钟属于不同的时钟区域,采样数据需同步到 FPGA 工作的时钟域,设计中采用异步 FIFO 实现跨时钟域的处理并对两路数据进行封包和拼接. 整体框图如图 5 所示.

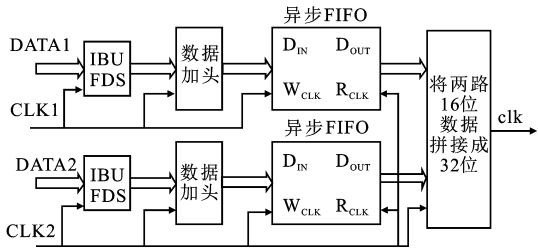


图 5 数据转换拼接原理框图

时间交织采样具有并行性,两路采样数据相差 $T_s/2$ (T_s 是采样周期),数据拼接要考虑到后续波形的还原. 设计中以 CLK2 为同步时钟,把 CLK1 的采样数据同步到 CLK2 上,同步后数据 DATA1 和 DATA2 按先后顺序拼接在一起. 数据拼接如图 6 所示.

3.2.2 DDR3 控制接口设计

拼接完成的数据先经 DDR3 缓存. Xilinx 7 系列 FPGA 提供 DDR3 底层控制接口,为了更适用于本文设计,需要对接口进行改进. 如图 7 所示,在原有 DDR3 IP 核的基础上添加读写控制模块、读写数据缓存模块、读写命令缓存模块、读写仲裁器以及命令选择器. 通过添加以上模块,DDR3 控制器可以实现 1—

64 位深度的读写数据和命令突发长度. 并且根据设计需求设定写优先级大于读优先级, 地址可以根据数据的读写进度自动计算出下一步操作位置.

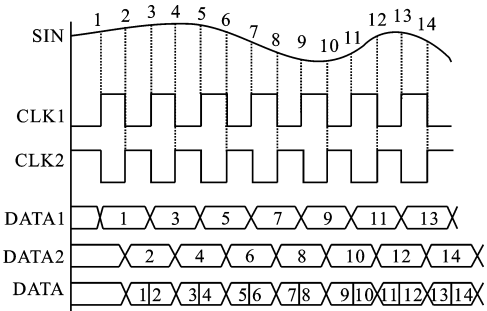


图 6 跨时钟域处理后两路数据拼接图

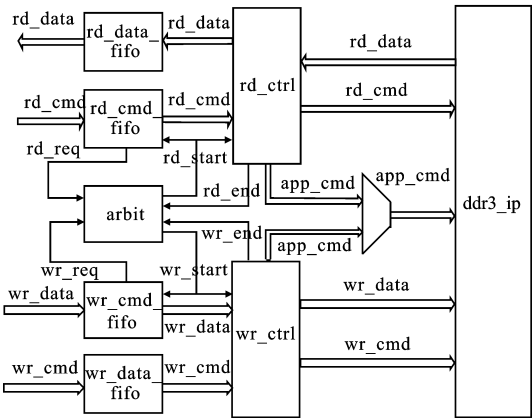


图 7 DDR3 控制器构架

DDR3 读写速度快, 但读和写不能同步进行, 设计中引入仲裁器来避免读写冲突问题. 如图 8 所示, 当进行 DDR3 IP 核初始化时, 仲裁器状态处于不可操作状态 START. 若初始化完成, 仲裁器状态进入 ARBIT, 此时, 可以进行读写操作分配. 如果有写请求, 仲裁器就进入状态 WR, 进行写操作, 操作完成后跳回读写分配装态 ARBIT. 若读写请求同时有效, 先进行写操作. 当仲裁器进入状态 RD 时, 进行数据读操作.

3.3 AXIe 数据传输接口设计

DDR3 上缓存的数据通过 AXIe 进行传输, 本文选用 PCIe 作为传输接口, 采用 PCIe2.0 四通道进行传输. PCIe 的控制以及 FPGA 端到 PC 端的通信由 RIFFA 架构实现.

3.3.1 PCIe 接口设计

对于 PCIe 接口的设计, 调用 IP 核可以节约时间, 但给出的接口不能直接用于本文. 本文采用

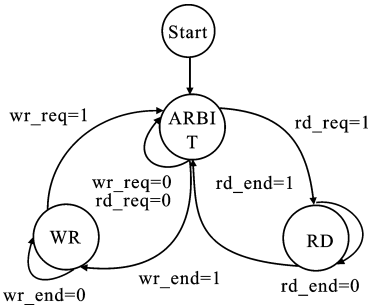


图 8 仲裁器状态转移图

RIFFA ENDPOINT 框架在 FPGA 内部实现 IP 核和 USER 端的通信. 通过传输控制器监测 PCIe 和 DDR3 的工作状态, 实现数据缓存模块和传输模块间的数据传输管理. 如图 9 所示, 数据传输状态转移图. 当数据传输模块处于初始化时, 控制器处于初始状态 S0. 初始化完成后进入 S1 状态, 如果此时检测到 PCIe 上有接收数据, 控制器就会进入 S4 状态进行数据接收. 当控制器在 S5 状态时, FIFO 存储器对 PCIe 上的数据进行缓存, 直到数据传输结束标志 RX_LAST 拉高时, 完成此组数据缓存, 跳回到 S4 状态. 数据发送流程和数据接收相似, 控制器在 S1 状态判断 PCIe 总线的占用情况, 检测到空闲时进入 S2 状态, 进行数据发送. S3 状态实现 FIFO 缓存的数据往 PCIe 总线发送.

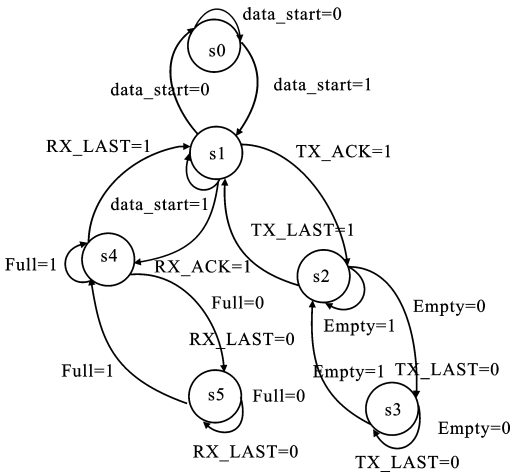


图 9 数据传输状态图

3.3.2 RIFFA 架构

AXIe 通信架构下 PCIe 单通道可以实现 5 Gb/s 的传输速率, 最多支持四通道同时工作. 为了提高 FPGA 和 PC 机之间数据交换的效率, 减少不必要的带宽消耗, 一个合适的架构必不可少. RIFFA 是一个通过 PCIe 总线实现 CPU 和 FPGA 数据通信的简单架构, 该架构在用户端留有独立的数据发送和接收端

口, RIFFA 不依赖 PCIe Bridge, 使用直接存储器访问 (DMA) 传输和中断模式传输数据, 运行速率可以到 PCIe 链路的饱和点. 其架构如图 10 所示, RIFFA 架构分为 PC 端和 FPGA 端两部分, 通过 PCIe 进行连接. PC 端提供上层驱动和协议库, FPGA 端包括 PCIe 底层接口、数据发送接收模块、通道选择模块和用户通道. RIFFA 通过 RX/TX DMA Engine 模块采用分散收集地址信息的方法实现数据传输. RIFFA 最多支持 12 个连接通道, 使用第二代 PCIe 情况下支持 32 位、64 位和 128 位数据传输宽度, 本文采用 32 位宽 2 个连接通道进行数据传输.

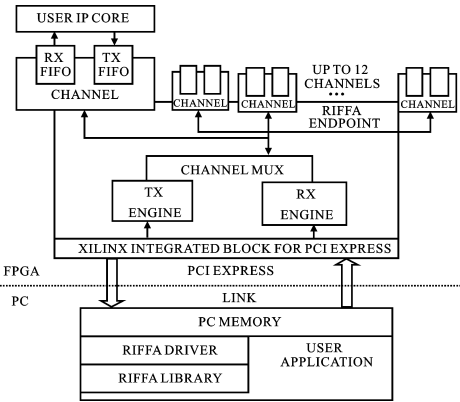


图 10 RIFFA 架构

RIFFA 架构下数据传输分发送数据搬移和接收数据搬移. 如图 11 所示, 发送数据搬移是用户通过应用程序调用库函数 `fpga_recv`, 然后由 FPGA 端实现启动. 用户应用程序线程进入内核驱动传输程序, 然后开始接收 FPGA 的写请求, 将数据分包发送. 启动发送函数后, 服务器建立一个散列元素收集列表, 将数据存储地址和长度等信息放入其中, 写入共享缓冲区. 用户应用程序将缓冲区相关信息发送给 FPGA. FPGA 根据缓冲区地址进行数据写入, 如果散列收集元素列表的地址有多个, FPGA 将通过中断发出多次请求. 待发送数据全部写入缓存区后, 驱动程序读取 FPGA 写入的字节数, 确认是否与已发送的数据长度一致. 如果长度相同, 此次数据发送完成. RIFFA 架构下数据接收搬移流程和数据发送操作方向相反, 调用内核驱动方式相同.

4 实验结果及分析

主要对时间交织数据采集模块、数据缓存模块和数据传输模块以及整体传输进行分析验证.

4.1 数据采集模块分析验证

数据采集模块完成模数信号的转换, 实现时间

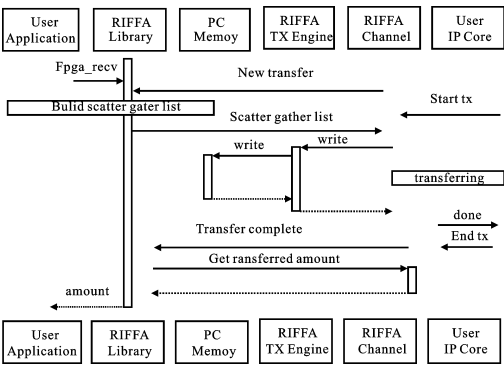


图 11 发送数据搬移图

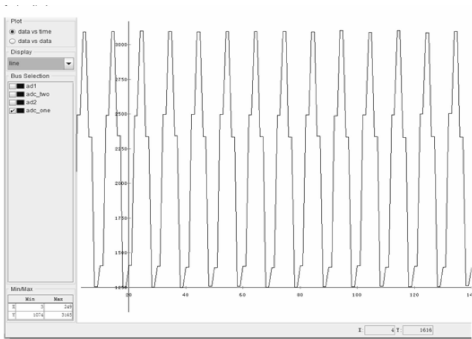


图 12 单路采样点显示图

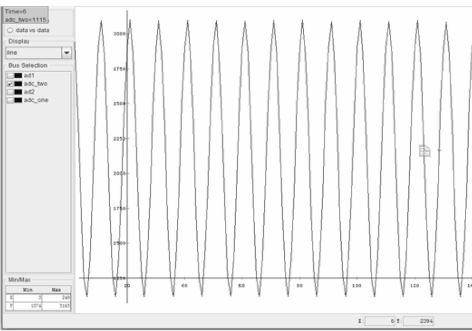


图 13 两片 ADC 交织情况下采样点显示图

交织数据采集功能. Xilinx FPGA 集成开发环境 Vivado 下自带逻辑分析仪 ILA, 可以对 FPGA 内部信号进行抓取. 本文通过信号发生器对两路 ADC 同时输入 10 MHz 峰峰值为 5 V 的正弦波信号. 每路 ADC 的采样率设为输入信号频率的 5 倍为 50 MSPS. 两路交织下的采样率为 100 MSPS, 可在被测信号一个周期内采集 10 个样点. ILA 嵌入式逻辑分析仪可以对抓到的数据按时间排列组成波形显示, 但不能处理数据. 图 12 是单通道采样显示效果图, 图 13 是两路采样通道交织情况显示效果图. 通过对比可以发现单片 ADC 采集情况下波形还原效果较差, 两片 ADC 时间交织采集下波形还原效果

明显得到改善. 交织状态下采样时钟相差 180° , 如图 13 所示, 波形还原效果较好, 时钟芯片产生的两路相移时钟可以满足采样要求.

4.2 数据缓存模块分析验证

数据缓存模块主要对 DDR3 的读写进行验证, 通过 ILA 抓取 DDR3 中的读写数据. 本文采用 666MHz 作为 DDR3 的工作时钟, 突发长度设为 64 位, 读写地址按顺序增加. 写信号主要包括写使能, 写数据, 写地址和写计数. 在写使能 `wr_en` 有效后, 写数据 `wr_data` 依次写入, 写计数 `data_cnt` 每次加一, 写地址在完成 64 个数据传输后进行新地址写入. 读数据流程和写数据相反, 先把起始地址、突发长度、读使能等相关命令写入控制器. 然后控制器根据命令输出数据和可读使能 `rd_data_valid`, 用户根据可读使能接收数据. 通过 ILA 抓取读写信号, 可以确定数据缓存模块能完成数据存储工作.

4.3 数据传输模块分析验证

数据传输模块包括 AXIe 相关接口信息, PCIe 采用第二代总线规范, 每通道传输速率为 5Gb/s, 配置为四通道. 本文对 RIFFA 构架下 PCIe 数据传输进行验证, 分为数据发送和接收. 通过 ILA 抓取传输数据, 并对数据做波形显示验证数据传输准确性. 图 14 是采集数据在 PCIe 接口处波形显示图.

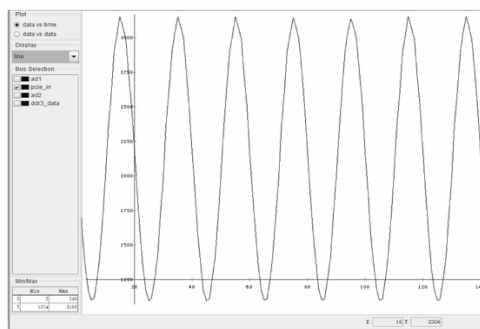


图 14 PCIe 接口波形显示图

如图 14 所示, 通过 ILA 嵌入式逻辑分析仪抓取 PCIe 接口处的采集数据, 然后按时间进行数据连线显示. 通过和图 13 的波形对比可以发现传输数据没有问题. FPGA 端和 PC 端通过 PCIe 总线进行数据传输信号. 每次中断请求 `axis_tx_tlast` 有效时, 一组数据 `axis_tx_tdata` 写入 RIFFA 内核, 然后由内核驱动程序进行数据发送. PCIe 数据传输是双向的, 数据接收流程相同, 多组数据传输时, 通过中断方式每次传输一组数据. 通过波形显示图和 PCIe

信号图, 说明 RIFFA 架构可以通过 PCIe 总线实现 FPGA 端到 PC 端的通信.

5 结束语

本文通过研究 AXIe 总线在数据采集中的具体应用, 为了实现数据的高效传输, 以 DDR3 为深存储单元配合 PCIe 的 DMA 方式进行设计. 采用自顶而下的结构对各个部分进行模块化设计, 并通过硬件描述语言 Verilog 完成逻辑实现, 工程具有可移植性和扩展性. 结果验证, 本设计可以实现时间交织数据采样功能, 能达到数据高速缓存和传输效果, 系统运行稳定. 可以根据实际需求更换更高的 ADC 芯片提高数据传输接口的带宽利用.

参考文献:

- [1] AXIe-1; Base Architecture Specification Revision 2. 0 [S]. USA. AXIeConsortium, 2010.
- [2] 许川佩, 黄天怀. 基于 FPGA 的 AXIe 接口设计[J]. 仪表技术与传感器, 2016(10):45-49.
- [3] NARCISO S. Introduction to AXIe[C] // 2010IEEE AUTOTESTCON, Orlando, FL, 2010:1-5.
- [4] HAASZ V. AXIe — New standard for the highest performance test and measurement applications[C] // Proceedings of the 6th IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems, Prague, 2011:30-32.
- [5] 甘伟旺, 李智. 并行交替高速数字化仪的研究与设计[J]. 现代电子技术, 2016, 39(23):78-82.
- [6] 杨扩军, 田书林, 蒋俊, 等. 基于 TIADC 的 20 GS/s 高速数据采集系统[J]. 仪器仪表学报, 2014, 35(4):841-849.
- [7] 简磊, 陈莹莹. 基于 FPGA 的 TIADC 并行采样系统设计[J]. 电子测试, 2017(2):5-6.
- [8] BLACK W, HODGES D. Time interleaved converter arrays[J]. IEEE journal of solid-state circuits, 1980, 15(6):1022-1029.

作者简介:

许川佩 女, (1968-), 博士, 教授, 博士生导师. 研究方向为自动测试总线与系统、集成电路测试技术.

张培源(通讯作者) 男, (1993-), 硕士研究生. 研究方向为集成电路测试技术.

E-mail: 1337862538@qq.com.

范兴茂 男, (1995-), 硕士研究生. 研究方向为集成电路测试技术.